



研究室紹介

大阪大学大学院工学研究科 応用物理学専攻 樹下研究室

樹 下 行 三*

Kinoshita Laboratory, Department of Applied Physics
Faculty of Engineering, Osaka University

Key Words : 論理設計, テスト容易化設計, 故障検査, ネットワーク設計, 性能評価
(Logic Design, Testable Design, Test, Network Design, Performance Evaluation)

1. 研究 室 の 概 要

本研究室は、元応用物理学科第一講座で、初代の故城憲三名誉教授いらい応用数学・計算機械を担当する講座として位置づけられ、平成元年10月より樹下が行っているが、平成7年4月よりの大学院の重点化改革に伴って、現在は工学研究科 応用物理学専攻 数理情報工学講座に所属している。平成8年1月1日現在で研究室は、樹下行三教授、小松雅治助教授、板崎徳禎学内講師、大学院博士後期課程院生2名、大学院博士前期課程院生8名、学部4年生4名、フランス人研究生1名の構成である。現在、研究室では、VLSIのテストと設計およびネットワークの設計と性能評価に関する研究・教育を行なっている。

2. 研 究 の 背 景

コンピュータの設計が超LSIの設計となり、LSIの微細化による大規模・高機能化が進むにつれてますます困難になりつつある超LSIの

テストに、論理設計の立場からどのように対応するかということが基本的な問題意識である。

例えば、大規模回路としての1GビットのメモリLSIについて考える。メモリのアクセス時間を50nsとすれば、単純にこのメモリのすべてのメモリセルが正しく動作することを確認するためだけに、少なくとも200秒が必要となり、一日24時間フル稼働としても1台のテスターでは1月に1万3千個程度しか検査できない。このメモリを月に50万個生産すれば、38台のテスターが必要となり、これがメモリのコストに跳ね返ってくる。これはテスト時間が検査コストを増加させる典型的な例である。

複雑な高機能回路の例はプロセッサ論理回路である。この場合には、それをどのようにテストするかということ自身が問題である。論理回路をテストするためには、正常時と故障時で異なった出力を与える入力、即ち検査入力を求める必要がある。このために対象とする故障を仮定する必要がある。故障を仮定しないでテストを考えることは、論理設計そのものが正しいかどうかを判定する設計検証の問題は含むことになり、問題が余りにも複雑になる。通常テストの立場としては、論理設計は正しいと仮定して、製造時またはそれ以降に生じる故障を考えている。従って検査入力を求める問題は、仮定する故障に対して、正常時と区別出来る入力を求める問題である。これをテスト生成といっている。

論理回路に対するテスト生成アルゴリズムを見つける問題は、1960年代からの伝統的な問

* Kozo KINOSHITA
1936年6月21日生
昭和64年大阪大学大学院工学研究科通信工学専攻博士課程修了
現在、大阪大学大学院工学研究科
応用物理学専攻、教授、工学博士
(大阪大学)、コンピュータ工学
TEL 06-879-7833
FAX 06-879-7836
E-Mail kozo@ap.eng.
osaka-u.ac.jp



題であるが、大規模回路に対して効率的なアルゴリズムを求める問題は残されている。ここで効率的ということには、与えられた回路に対して、仮定する故障に対するテスト入力を求める時間を短くすること、テスト入力数を少なくすること、およびテスト生成に要する時間を限定した場合、すべての故障に対するテスト入力を求めることが出来ない時には、出来るだけ多くの故障に対するテスト入力を求める、という意味が込められている。

任意の論理回路に対して、効率の良いテスト生成が困難であるという問題を解決するために、1970年代からテストを考慮して論理設計を行うことが考えられている。これをテスト容易化設計といい、スキャン設計、組込み自己テストなどに代表される手法が試みられてきている。

コンピュータと通信ネットワークの融合が始まって以来約50年の歳月が経つが、コンピュータネットワークとしてリソース共有の概念とコンピュータ通信のためのパケット交換網の実現は1969年の米国のARPANETに見られ、これは現在のインターネットへと発展している。パケット交換は現在もLAN, WANなどのコンピュータネットワークを実現する主要技術となっているが、高速大容量の光ファイバーと高速交換技術の出現によって、従来リンクバイリンクで処理された通信プロトコルをエンドツーエンドに移行し高速化することになった。

他方、通信網の高速大容量化は、伝送サービス対象を個別に扱っていたネットワークを単一のネットワークに統合することを可能にしている。このような統合ネットワークはB-ISDNと呼ばれ、音声、画像、コンピュータデータなどの要求する通信品質及びトラヒック発生異なる様々なトラヒックリソースを一元的に管理し伝送サービスを行う。これを実現するため、パケット交換を発展させたセル交換を用いたATM網内でのトラヒック特性の解明、フロー制御、ルーティング制御や誤り制御などの各種制御方式の提案および性能評価がなされている。

ATM網はWANだけでなく、LANにも導入され、マルチメディア通信の基盤と成りつつある。更に、電子回路に基づく交換では高速化

にも限界があり、光交換技術の導入が必然的である。このため、光交換網における各種制御の問題の検討も行われ始めている。

3. 研究紹介

上に述べたような背景のもとに現在はあるような研究テーマを取り上げている。

A) テスト圧縮・テスト生成：各故障に対してテスト入力を求めるテスト入力集合は故障数に比例する大きさになる。しかし、一つのテスト入力は、複数の故障のテスト入力となるので、一般にはテスト入力集合を小さくすることが出来る。極小テスト集合の概念を用いて、テスト集合を小さくするアルゴリズムを提案し、いくつかの回路についてはそれが最小であることを示し、多くの場合について現在知られている最小集合を与えている。

仮定故障に対してテスト生成を行うことは、誤りの種類を仮定すれば、テスト生成の手法を論理設計上の誤りを見つける方法にも用いることが出来ることを示唆している。この考えを用いて、ゲートの種類の書き誤り、信号線の接続誤りなど、比較的良く発生する単純な設計誤りを見つける手法を提案し、これによって誤り箇所を指摘する手法についても検討している。

B) テスト容易化設計：テスト容易化手法として最初に提案されたのは、スキャンパスを導入する手法であった。これによって順序回路のテスト生成が組合せ回路のテスト生成のレベルに落ち、テスト生成の困難さは軽減されたが、テスト系列が長くなることからテスト時間の増大に対する問題は残されている。この解決の一手法として、不必要なスキャンシフト数を削減する、縮約スキャンシフト法を提案している。

論理回路のなかには回路的に冗長部が含まれている。これはテスト生成において冗長故障として認識されるが、冗長故障の存在がテスト生成時間の増加をまねく原因でもあり、冗長部の存在は回路としても好ましくない。テスト生成手法を用いて冗長故障を見つける方法が用いられている。これはテスト生成手法の効率的なアルゴリズムの提案されている組合せ回路に対しては有効であるが、順序回路に対しては有効で

はない。これに対する一つのアプローチとして、リタイミングの手法を用いて冗長故障除去を行う方法を提案し、その効率を検討している。

C) 故障モデル・低消費電力：従来テスト生成に対する故障モデルとしては、内部信号線の値が0, 1の論理値に固定されるとみなす、いわゆる縮退故障を対象にしているが、これは現在多用されている微細化されたCMOS論理回路では必ずしも十分ではなくなっている。典型的な例としては、MOSトランジスタでのショートやリーケイジが原因となる故障で、正しい論理値を与えるが、一時的に過度な電源電流が流れ、消費電力が増大する現象がある。

これは従来の定義では、正しい出力を与えるという意味で故障とはみなされないが、携帯用の機器などのユーザから見れば、予期しない電力の消耗は致命的な故障である。この故障を検出するためには電源電流を測定することが要求される。しかし、電源電流の測定には計測時間などの点から、その有効な方法を見いだすことが今のトピックスとなっている。この問題を解決する一手法として、LSI回路内に電流測定機構を組み込む、組み込み電流テスト回路を提案し、現在その改良案を検討している。

CMOS回路の消費電力の問題としては、電源の低電圧化による消費電力低減化以外に、論理設計上の観点からの低消費電力設計法が問題にされている。これに関しては、従来の論理合成手法が適用出来ることに着目し、低消費電力設計という観点での論理設計法を検討している。

縮退故障以外の故障モデルとしてはLSI微細化に伴って、信号機間での容量的または誘導的な影響による故障がクロストーク故障として問題にされている。これを故障モデルとしてどのように持ち込むかが問題であり、解析的に、シミュレーション的に故障モデルとしての確立とテスト生成の手法について検討している。

D) コンピュータ通信における誤り制御方式：ATM網では、伝搬遅延の影響を無視することができず、コンピュータ通信のための誤り制御はエンドツーエンドで行う必要がある。従来主流であったARQ方式をこのようなネットワークに適用すると、セルやメッセージの再送処理

がネットワークの処理能力を低減させる。

このため、誤り訂正符号を用いたFEC方式、あるいは、FECとARQ方式を組み合わせたハイブリッド方式が誤り制御の主流となる。FEC方式では、誤り訂正符号を複数の情報セルに冗長セルを加えたブロック上で実現することが考えられているが、ATM網内でのセルのバースト損失を考慮したものはない。そこで、セルに優先権を付与することによって、バースト的に発生するセル損失を複数ブロックに分散化させることによってスループット及び遅延特性を向上させる方法を提案し、その性能評価をおこなっている。

E) 波長多重光波ネットワーク：波長多重による光波ネットワークでは、波長多重度の制約の中で通信媒体上ですべてのノード間の情報交換を可能にする論理的なネットワークを構成する。種々の論理的トポロジーが提案され、そのトラヒック特性が解析されている。ところが、ネットワーク上のリンク障害はトラヒック伝送能力を劣化させるので、リンク障害を考慮したトラヒック解析を行い、各種トポロジーにおけるネットワークの対故障能力を検討している。

4. 今後への期待

VLSIのテストの問題はVLSIの製造技術の進歩と共にVLSI設計の問題となり、テストシンセシスといわれるようにテストの問題は設計と一体化してきている。また、コンピュータネットワークの発達と共にネットワークの設計はコンピュータ設計と一体化されつつある。テスト・性能評価と言う枠組みでの研究ではあるが、コンピュータ・ネットワーク・マルチメディアの発展の中での位置づけが益々重要視されつつあると認識し、更にこの分野を進展させたいと考えている。現在の研究室は平成元年後期に発足し、約6年を経過している。この間、博士後期課程を修了した、梶原誠司博士は九州工業大学情報学部助教授、三浦幸也博士は東京都立大学工学部講師、温曉青博士は秋田大学鉱山学部講師、陳祥春博士は広島市立大学情報科学部助手として、本研究室で得た成果を核にそれぞれの分野で新しい研究活躍を推進している。