



技術解説

ナノ領域FETのシミュレーション

小田中 紳 二*

Simulation of Nanoscale FETs

Key Words : Semiconductor, Transport, Simulation, Mathematical Model, Computer-Aided Design

1. はじめに

情報化社会の至る所で、SoC(System on Chip)と呼ばれる集積回路システムが使われている。現在、集積回路システムを構成する固体素子は、CMOSと呼ばれるシリコンFET(Field-Effect Transistor:電界効果トランジスタ)である。シリコンCMOS素子は、過去四半世紀にわたって微細化が追求され、その物理的限界が常に議論されてきたが、微細化による性能向上(消費エネルギーの減少、動作速度の向上)と高信頼性が期待でき、また、集積化が可能な素子構造と製造工程を有しているため、それを凌駕する“フロンティア”デバイスはまだ現れていない。

近年の研究成果の結果、10nm領域CMOSによる集積回路システムの実現に、世界中の研究者・技術者が強い自信を持ち始め、それに向けて開発が加速している。sub-10nm領域の素子も試作実験が始まり、カーボンナノチューブトランジスタなどのいわゆる“フロンティア”デバイスと共に、集積回路システムを構成する上で最適な固体素子として微細化追求が続いている。

微細素子を集積化するためには、その製造のための微細加工技術が必要である。現在、10nm領域CMOSによる集積回路システムを実現するために、レーザー生成プラズマやガス放電プラズマを光源と

する波長13.5nmの極端紫外線(Extreme Ultraviolet: EUV)による微細加工技術の開発も産学で進められている。また、このような集積化を目的とする素子を開発するためには、コンピュータシミュレーションによるナノ素子設計システムの確立が重要となる。

本稿では、ナノ領域FETを展望した後、極微構造内における電子輸送の数理モデル化やシミュレーション設計モデル(Computer-Aided Design: CADモデル)について紹介し、ナノ領域FETのシミュレーション設計を目指す上で数学理論の裏付けを持った計算モデルの構築の必要性について概説する。

2. シリコンCMOS素子

図1(a),(b)は、今までに発表された実験データをもとに、シリコンCMOS素子の論理速度と消費エネルギーの予測・評価をした結果を示している。10nm領域においてCMOSの論理速度は0.25psecに達し、その消費エネルギーは80kTになると予想される。このままで微細化されれば、5nm領域のシリコンFETはその消費エネルギーが20kTに達する。モーターたんばく質やRNAからDNAへの転写エネルギーが20kT相当であることと比較すれば、ナノスケール領域は、固体素子の消費エネルギーが生体系の素過程における消費エネルギーに近づく大変興味深い領域を創出する。sub-10nm領域においては、カーボンナノチューブトランジスタなどのいわゆる“フロンティア”デバイスも含めて、集積回路システムを構成する上で最適なナノ領域素子を創出していくことがナノテクノロジー技術の大きな目標の一つである。そのためには、シリコンCMOS素子の性能や集積化効率を凌駕するデバイスを見出すことが必要である。

シリコンCMOS素子にとっても、sub-10nm領域



* Shinji ODanaka
昭和55年京都大学大学院工学研究科
博士前期課程修了
現在、大阪大学サイバーメディアセン
ター コンピュータ実験科学研究
部門、教授、工学博士、数理工学
TEL 06-6850-6850
FAX 06-6850-6859
E-Mail odanaka@cmc.osaka-u.
ac.jp

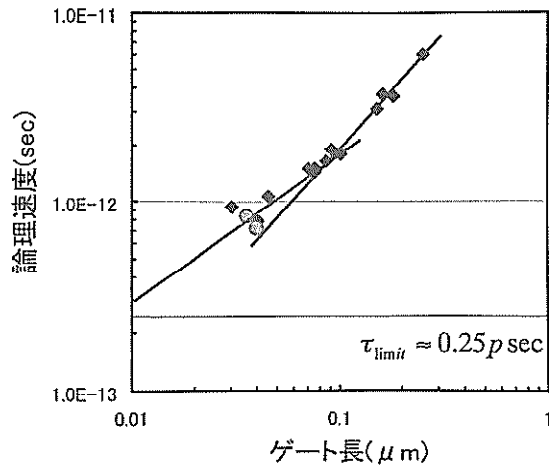


図1(a) シリコンCMOS素子の論理速度

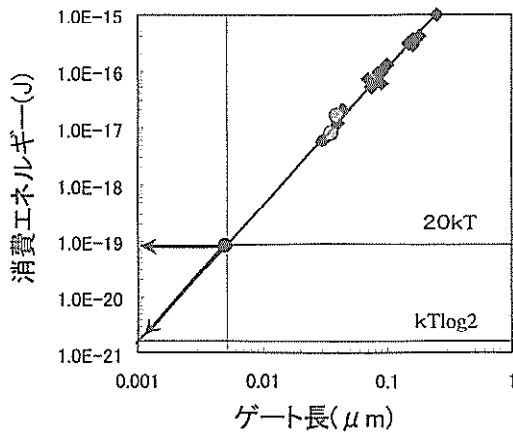


図1(b) シリコンCMOS素子の消費エネルギー

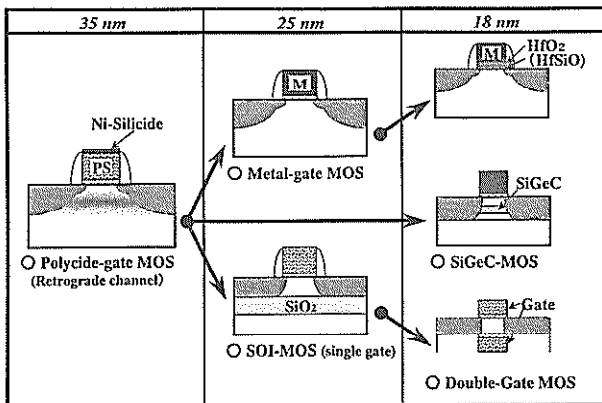


図2 微細化に伴うシリコンCMOS素子の材料、デバイス構造の推移

に至る技術的道筋は平坦ではない⁽¹⁾。図2に示すように、MOS構造のゲート絶縁膜形成には HfO_2 など新規な高誘電材料を、1nm以下の加工制御で導入する必要があるし、論理速度を向上させるために、SiGeヘテロ構造やダブルゲート構造などによってCMOSデバイス構造を変化させる必要性が議論されている。これらの構造においては、素子性能は量子効果の影響が支配的になり、特に、トンネル現象や量子閉じ込め輸送は、シリコンCMOS素子性能を予測する上で基本的な物理現象となってきた。

3. メゾスコピックからマクロスコピックへのモデル階層

シリコンCMOS素子は、半導体pn接合によって電子を低エネルギーで励起させる半導体素子の原理を、絶縁膜を介してゲート電圧によって制御し、熱平衡状態に挟まれた極微構造内を自由電子が非平衡状態で輸送することによって情報伝達の素過程を実現している。10nm領域における消費エネルギー予想を考慮すれば、極微構造内の電子輸送に関するモデリングには、マクロスコピックなアプローチとメゾスコピックなアプローチがともに有効であると考えられる。このような輸送現象において、メゾスコピックからマクロスコピックへいたるモデル階層を、数学的手法によって明らかにすることも興味深い基礎科学の問題である。一般に、CMOS素子の輸送現象は、室温下(高温下)のSi-結晶内の電子輸送であるため、Boltzmann-Bloch方程式を基にその多体性をどのようにマクロモデル化していくかに大きな関心が払われてきたが、室温下といえども微細化に伴ってその量子性をどのようにモデル化するかが新たな課題となっている。

メゾスコピックからマクロスコピックへ至るモデル階層は、Madelung変換やWigner変換によって非線形Schrödinger方程式の流体表現として求められ、Boltzmann輸送と対比させることができる。このアプローチに沿って、量子流体方程式による半導体輸送モデリングの研究が進められている⁽²⁾。量子流体モデルは、非線形Schrödinger方程式をWigner変換して求められたWigner-Boltzmann方程式をChapman-Enskog展開し、流体方程式へのモーメントをとることによって導出され、階層的モデル構造をもっている。この量子流体モデルは、現在世界

的に広く使われている大規模素子設計システム(いわゆるTechnology CAD)の中に組み込むことが可能で、実用上の条件、1)様々な素子特性の物理モデルとの整合性、2)様々なデバイス構造への適用性、などが調べられている。また、数値安定性はナノ領域FETのシミュレーション設計を目指す上で重要であり、数学理論の裏付けを持った量子流体方程式の計算スキームの研究が求められている。

4. 電子輸送の数学モデルと計算モデル

量子流体モデルの階層の中で、量子ドリフト-拡散モデル(QDDモデル)は密度勾配モデルとも呼ばれ、もっともプリミティブな方程式であり、素子設計モデルとしてその確立が急がれている。Ancona等⁽³⁾は、ストレステンソル項を $O(\hbar^2)$ オーダーをもって評価し、量子ポテンシャルを次のように評価した。

$$r_n = \frac{\hbar^2}{6qm^*} \frac{\nabla^2 \sqrt{n}}{\sqrt{n}}$$

ここで、 n は電子密度、 m^* は電子の有効質量である。この評価を使って、Fermi-Dirac統計下における電子の一般化された化学ポテンシャルは、

$$\varphi_n = \varphi - \frac{kT}{q} F_{1/2}^{-1}\left(\frac{n}{N_C}\right) + r_n$$

となり、量子ドリフト-拡散モデルが導出される。ここで、 $F_{1/2}^{-1}$ は1/2のオーダーのFermi積分の逆関数であり、 N_C は伝導帯の実効状態密度である。非線形Schrödinger方程式をMadelung変換して求められた流体表現におけるBohmポテンシャルと比較して係数が1/3異なるモデルになっており、シリコンFET内のトンネル電流や量子閉じ込め特性に起因するC-V特性などの電気特性予測の精度が高いことが検証されている⁽⁴⁾。

量子ドリフト-拡散モデルは、数学的には、ポテンシャル場を記述する非線形Poisson方程式と4階偏微分方程式からなる保存則とからなる系として捉えることができる。シリコンFET構造の定常状態を解析する場合、電極においては熱平衡であり、電荷中性条件を満たす境界条件を設定し、非線形楕円型方程式系からなる混合境界値問題として輸送現象を数学的にモデル化できる。数学モデルを解析することによって、より進んだ計算モデルを作り出すこ

とが期待できる。実際、Schauderの不動点定理を満たす解写像を構成することによって、定常問題の弱解の存在を数学的に証明することができるが^{(5),(6)}、この論理過程は、非線形偏微分方程式の反復解法と数値安定な離散化スキームの開発に深いかわりがある。我々は、量子ドリフト-拡散方程式の解写像の構成を考察することによって、数値安定な多次元差分スキームを開発し⁽⁷⁾、従来難点であった数値不安定性を解決し、多次元構造を有するナノ領域FETの大規模シミュレーション設計への展開を目指している。

図3に、この計算スキームによって計算されたダブルゲートMOS内の電子分布を示している。図2に示されたダブルゲートMOS構造の中央部の深さ方向断面における電子分布を示している。上下のゲート絶縁膜に挟まれたシリコン層が4nmまで薄膜化されれば、両端に形成されたシリコン反転層は一つにマージされ、電子は一方向を閉じ込められた分布をもって輸送していることがわかる。この特性は、現在CMOS素子設計に使われている古典的ドリフト-拡散モデル(DDモデル)では記述できないことが計算結果の比較からわかる。

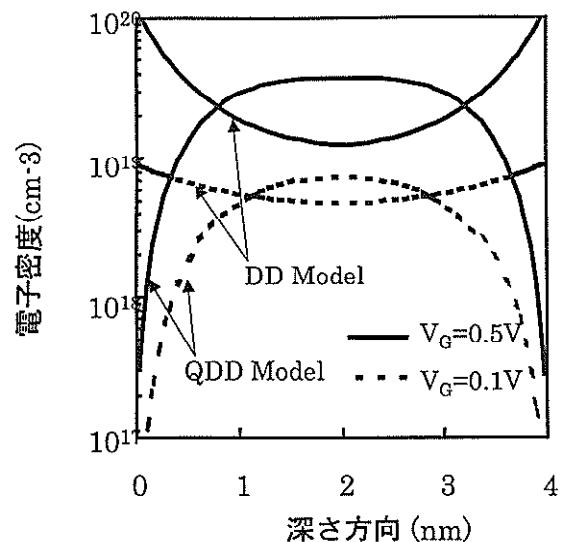


図3 ダブルゲートMOSFET(図2参照)内の電子分布、古典的ドリフト-拡散モデルとの比較。

5. おわりに

集積回路システムを構成する最適なナノ領域素子を創出していくことは、ナノテクノロジー技術の大

きな目標の一つであり、情報化社会を発展させていく上で重要な課題である。シリコンCMOS素子も sub-10nm領域を展望しており、カーボンナノチューブトランジスタなどのいわゆる“フロンティア”デバイスも含めて、集積回路システムを構成する上で最適なナノ領域素子を見出していくことになるが、今だ集積システムを構成できるかどうかは大きな科学技術的課題である。ナノ領域における電子輸送は基礎的で興味深い問題を提起しており、今後、数学的手法でメゾスコピックからマクロスコピックへのモデル階層構造を明らかにしていく事も重要になると考えられる。また、集積化を目的とするナノ領域FETを開発するためには、コンピュータシミュレーションによる素子設計システムを作り上げていく必要がある。ナノ領域FETのシミュレーション設計を目指す上で、数学理論の裏付けを持った計算モデルを構築し、大規模シミュレーション設計へ展開していくアプローチが重要になると考えられる。

文 献

- (1) H.-S.P. Wong, "Beyond the conventional transistor," IBM J.Res.Develop., vol.46, no.2, pp.133-168, 2002.
- (2) C.L.Gardner, "The quantum hydrodynamic model for semiconductor devices," SIAM J.Appl.Math., vol.54, no.2, pp.409-427, 1994.
- (3) M.G.Ancona and G.J.Iafrate, "Macroscopic physics of the silicon inversion layer," Phys. Rev. B., vol.35, no.15, pp.7959-7965, 1987.
- (4) M.G.Ancona et al., "Density-gradient analysis of MOS tunneling," IEEE Trans. on Electron Devices, vol.47, pp.2310-2319, Dec. 2000.
- (5) R.Pinnau and A.Unterreiter, "The stationary current-voltage characteristics of the quantum drift-diffusion model," SIAM J.Numer., Anal., vol.37, no.1, pp.211-245, 1999.
- (6) 小田中紳二, "Existence and numerical approximation of solutions to the stationary quantum drift-diffusion model for semiconductors", 非線形偏微分方程式阪大セミナー, 2003年7月
- (7) S.Odanaka, "Multidimensional discretization of the quantum drift-diffusion model for ultrasmall MOSFETs," IEEE Trans. on CAD of ICAS, vol.23, pp.837-842, June 2004.

