

## 半導体デバイスの高度化を支える評価解析技術



企業リポート

片山 俊治\*

Evaluation technologies for advanced semiconductor devices

Key Words : Visualization, dopant, source and drain, crystal defect, analysis

### 1. はじめに

携帯電話などの電子機器の近年の目覚ましい性能の向上を支えているものに、マイコン (Microcontroller Unit: MCU) やシステム LSI (System on Chip: SoC) などの半導体デバイスがある。これらの半導体デバイスは、クリーンルーム内での清浄な環境で生産が行われており、その生産の高い完全性を実現するために、故障が発生した場合には解析され、改善が行われる。そのため、効果的な故障解析を行うための故障解析技術を開発することが重要になっている。本レポートでは、効果的な故障解析技術の開発事例として、半導体デバイスの基本素子の一つである MOS (Metal-Oxide-Semiconductor)-FET (Field-Effect-Transistor) でのソース・ドレイン領域、および、結晶欠陥の可視化技術を紹介する。

### 2. 半導体産業での故障解析技術の特徴

半導体デバイスは、複雑な論理回路をトランジスタ、抵抗、容量等の基本素子と多層配線で構成するものである。現在主流のシリコン系の半導体デバイスで用いられているシリコンテクノロジーの特徴は、大口径のシリコンウェーハ上に均一に、高い確度と高い再現性で微細加工と微量ドーパントの添加を行

うことにある。微細加工に関しては、最近の半導体デバイスでは、横方向では 45nm 程度の最小加工寸法を用いられるようになっており、縦方向では数 nm の薄膜が形成されている。それゆえ故障解析は、ナノメートルレベルの微小部位から情報を抽出する必要があり、空間分解能に優れた電子顕微鏡やプローブ顕微鏡をベースにした評価解析技術が多用されるようになってきている。

今回の故障解析の事例で述べる MOS-FET は、微細化に向けた現在の主流のトランジスタである。動作特性の異なる N チャネル型 MOS-FET と P チャネル型 MOS-FET があり、両者を組み合わせて、消費電力を抑えた CMOS (Complementary MOS) 回路等を構成する。N チャネル型 MOS-FET は、低ドーパント濃度の P 型半導体 (P ウェル) 中に高ドーパント濃度の N 型半導体 (ソース・ドレイン) を形成したものであり (図 1 (a))、一方、P チャネル型 MOS-FET は、低ドーパント濃度の N 型半導体 (N ウェル) 中に高ドーパント濃度の P 型半導体 (ソース・ドレイン) を形成したものである (図 1 (b))。酸化膜を介して形成した制御 (ゲート) 電極に印加するバイアスにより、ソース・ドレイン間の導電性をコントロールし、トランジスタ動作をさせている。



\*Toshiharu KATAYAMA

1962年1月生  
大阪大学大学院 理学研究科 物理学専攻  
修士課程 (1986年)

大阪大学大学院工学研究科物質・生命工  
学専攻博士課程 (1999年)

現在、ルネサス エレクトロニクス株式会社  
生産本部 デバイス・解析技術統括部  
解析評価技術部 物理解析技術第一課  
主任技師 工学博士 半導体デバイスの  
評価解析技術

TEL : 072-787-2648

FAX : 072-789-3438

E-mail : toshiharu.katayama.uh@renesas.com

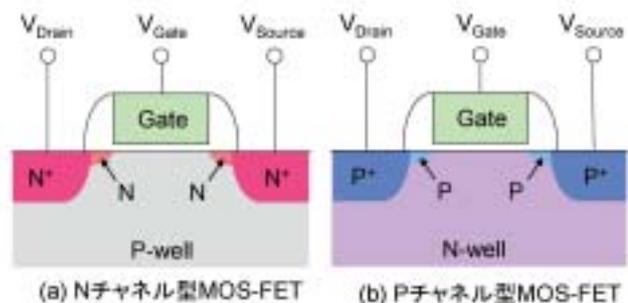


図 1 . MOS-FET の断面模式図

### 3 . MOS-FET ソース・ドレイン領域の可視化技術

実際の MOS-FET のソース・ドレイン領域は、トランジスタのオン抵抗特性とオフ耐圧特性とを両立させるために二段構造となっている。この二段構造の先端部は、LDD (Lightly Doped Drain) 構造や Extension 構造として知られているものである。Sub-100nm ノードの微細化された半導体デバイスにおいて、異物、残渣等に起因した LDD/Extension 注入異常は歩留まりや信頼度に影響する問題として顕在化してきている。このようなソース・ドレインの異常に起因した不良を解析するためには、ソース・ドレインを観察する必要がある。

走査透過型電子顕微鏡 (Scanning Transmission Electron Microscope: STEM) を用いた可視化への取り組みでは、エネルギー分散型 X 線分光法 (Energy Dispersion X-ray analysis: EDX) や電子エネルギー損失分光法 (Electron Energy-Loss Spectroscopy: EELS) で、ソース・ドレインのドーパントを検出する試みが報告されている [1-2]。また、走査型プローブ顕微鏡の一種である走査型キャパシタンス顕微鏡 (Scanning Capacitance Microscope: SCM) や走査型広がり抵抗顕微鏡 (Scanning Spreading Resistance Microscope: SSRM) による可視化も報告されている [3-4]。ソース・ドレイン領域を輪郭抽出する手法では、従来から行われている観察断面に化学処理を施す手法 [5] と、近年我々が開発したソース・ドレイン領域を選択的に多孔質化処理し、収束イオンビーム (Focused Ion Beam: FIB) 技術を用いて任意の箇所から TEM 観察試料を作製し、再現性良く TEM 観察する手法 [6] がある。後者の手法を用いて N チャネル型 MOS-FET のソース・ドレイン領域 (ドーパント: As) を走査透過型電子顕微鏡 (STEM) の高角環状暗視野 (High Angle Annular Dark Field: HAADF) モードで観察した例を図 2 に示す。STEM/EDX によるドーパント (As) のマップ像よりも遥かに明瞭にソース・ドレイン領域を観察することができている。

次に、この手法を実際の解析に適用した事例を紹介する。90nm ノードの SRAM (Static Random Access Memory) のシングルビット不良の一連の解析として、電気テストから動作異常を起こした MOS-FET を絞込み、適当な前処理をした後、微小デバイス特性評価装置ナノ・プローバ (日立ハイテクノ

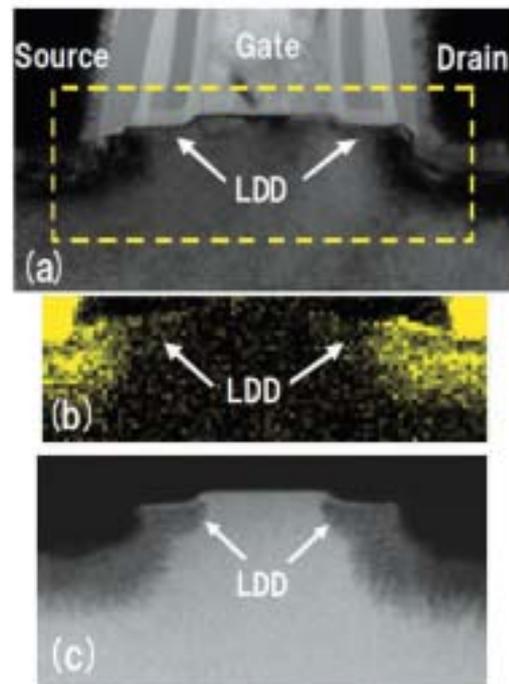


図 2 . N チャネル型 MOS-FET の断面像  
(a)BF (明視野)-STEM 像  
(b)STEM/EDX(As マップ) 像  
(c)多孔質化処理試料での HAADF-STEM 像

ロジーズ製 N-6000) で候補の MOS-FET を針当て評価して、動作異常を起こした MOS-FET を特定し、その電気特性を測定した結果、図 3 (a) に示すように、ある特定の N チャネル型 MOS-FET でドレイン電流の減少と閾値電圧のシフトが見られた。動作異常が見られた MOS-FET のソース・ドレイン構造を観察した結果、この MOS-FET の片側の LDD が正常に形成されていないことが分かった (図 4 (a))。

さらに別のシングルビット不良部で同様の電気特性異常を示した特定の P チャネル型 MOS-EFT (図 3 (b)) でも、ソース・ドレイン構造を観察した結果、図 4 (b) に示すように、この MOS-FET でも片側の LDD が形成されていないことが分かった。P チャネル型の LDD 領域のドーパントはボロンであり、他の手法での検出は極めて難しい元素であるが、本手法を用いることで、簡便にかつ明瞭に観察することができている。

これらの事例はイオン注入工程の不良に起因したものであり、異物によりソース・ドレイン領域へのドーパントの添加が阻害されたものであると分かった。ソース・ドレイン領域を簡便に可視化する技術を開発することで、故障解析を効率的に行うことが

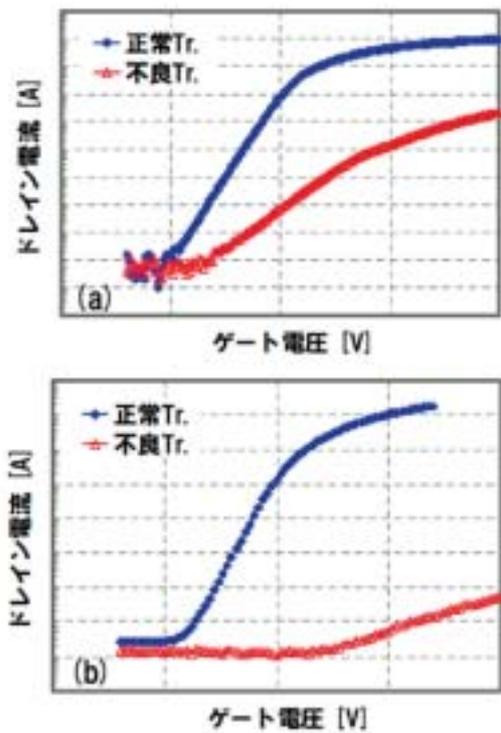


図3 . 解析に用いた MOS-FET の電気特性  
(a) Nチャネル型 MOS-FET  
(b) Pチャネル型 MOS-FET

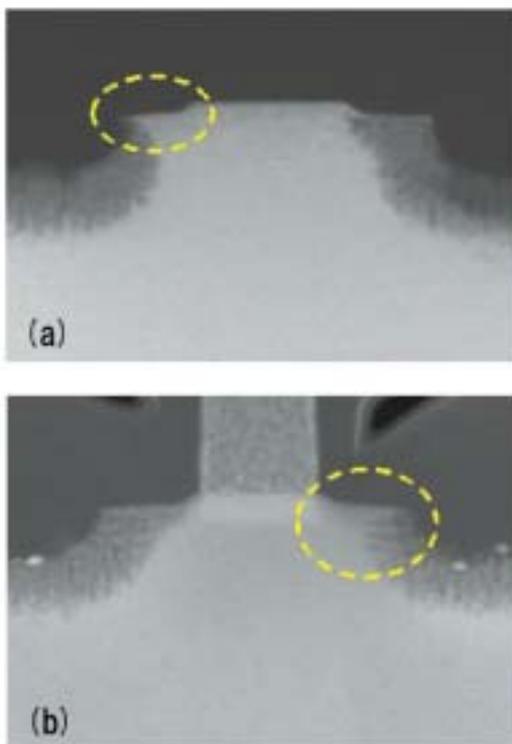


図4 . 多孔質化処理した不良 MOS-FET の HAADF-STEM 像  
(a) Nチャネル型 MOS-FET  
(b) Pチャネル型 MOS-FET

できるようになった事例である。

#### 4 . 結晶欠陥の可視化技術

これから述べる結晶欠陥も半導体デバイスの故障原因の代表的なものである。結晶欠陥によるPN接合の破壊が良く知られているが、最近の半導体デバイスでは、MOS-FETのキャリア移動度の性能向上のため、応力を印加してチャネルを歪ませることがあり、結晶欠陥があると応力緩和して期待通りのMOS-FETの性能の向上が実現できなくなることがある。

結晶欠陥を可視化する手法として、透過型電子顕微鏡 (Transmission Electron Microscope: TEM) 観察や、結晶欠陥顕在化エッチングを施した後の光学顕微鏡や走査型電子顕微鏡 (Scanning Electron Microscope: SEM) 観察がよく知られている。ここでは、より高度な解析手法として、近年我々が報告した走査透過型電子顕微鏡 (STEM) の低角環状暗視野 (Low Angle Annular Dark Field: LAADF) モードでの観察と電子線トモグラフィーを組み合わせた結晶欠陥の三次元観察事例を紹介する [7]。

SiGe 埋め込み層を用いてチャネルに過度な圧縮応力を印加するとPチャネル MOS-FET のオン特性に劣化が見られたため、STEM の LAADF モードで観察したところ、結晶欠陥が発生していることがわかった (図5)。そこで、この結晶欠陥の発生機構を究明するために、STEM の LAADF モードで  $-60^\circ$  から  $+60^\circ$  まで2ステップで傾斜角度を変えながら自動観察を行い、その結果を三次元画像として再構築した。図6は、再構築画像の一例であり、Defect

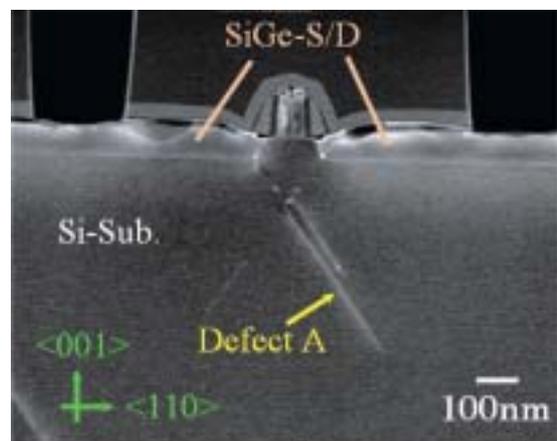


図5 . 歪印加Pチャネル型 MOS-FET の LAADF-STEM 像

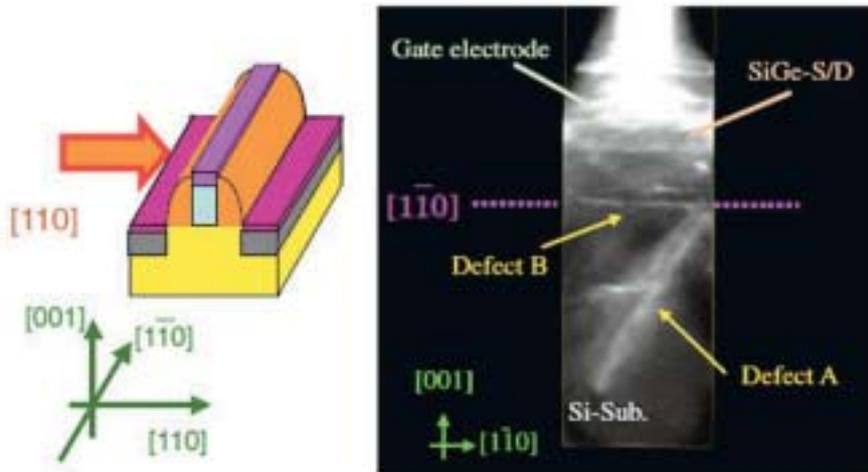


図6 . 再構築像と観察方向

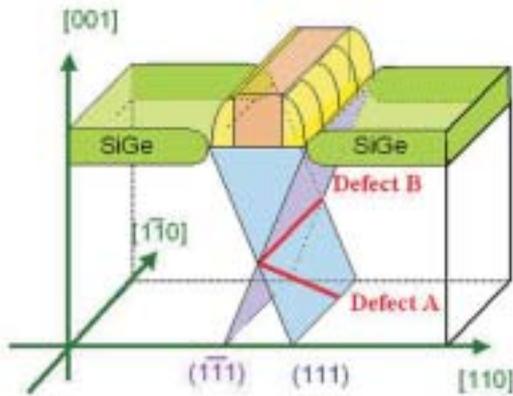


図7 . 三次元再構築画像から抽出した結晶欠陥の発生状況

Aに隠れていた Defect Bが観察されている。三次元再構築像より抽出した結晶欠陥の発生状況を図7に示す。観察された Defect A, Bは、SiGe埋め込み層の両端を起点とした2つの{111}面内の結晶欠陥であり、Defect Bは2つの{111}面の交線上にピンニングされている複雑な状況が、三次元再構築画像により掌握できる。

この事例のように、結晶欠陥を高度に可視化することで、結晶欠陥の発生機構の本質に迫ることが可能である。

### 5 . まとめ

半導体デバイスの完全性を高めていくための活動の一環として評価解析技術を取り上げ、実際の半導体製品のMOS-FETの解析事例として、ソース・ドレイン領域の簡便な可視化と結晶欠陥の高度な可視化技術を適用した事例を紹介した。

評価解析技術も、半導体デバイスの高度化を支え

る重要な技術の一つとして、半導体デバイスのための技術開発が行われている。半導体デバイスの完全性はこのような多くの技術に支えられて実現されているのである。

### 参考文献

- [1] R. Tsuneta et. al, " A specimen-drift-free EDX mapping system in a STEM for observing two-dimensional profiles of low dose elements in fine semiconductor devices ", J. Electron Microscopy 51 (2002) p.167.
- [2] K. Asayama et. al, " Boron Observation in p-Type Silicon Device by Spherical Aberration Corrected Scanning Transmission Electron Microscope ", Applied Physics Express, 1 (2008) 074001.
- [3] J. Heo et. al, " Qualitative doping area characterization of SONOS transistor utilizing scanning capacitance microscopy (SCM) and scanning spread resistance microscopy (SSRM) ", Mat. Sci. Eng. B124-125 (2005) p.301.
- [4] L. Zhang et. al, " Insight into the S/D Engineering by High-resolution Imaging and Precise Probing of 2D-Carrier Profiles with Scanning Spreading Resistance Microscopy ", IEDM2009, p.35.
- [5] W.-T. Chang et. al, " Advance static random access memory soft fail analysis using nanoprobeing and junction delineation transmission electron microscopy ", J. Vac. Sci.

Technol. **B25** 2007, p.202.

[6] 山口屋他, “Wet 処理と TEM 観察による拡散層可視化技術” LSI テスティングシンポジウム 2010, p.273.

[7] S. Kudo et. al, “Three - Dimensional

Visualization Technique for Crystal Defects in High Performance p-Channel Metal-Oxide-Semiconductor Field-Effect Transistors with Embedded SiGe Source/Drain”, Jpn. J. Appl. Phys. **49** (2010) 04DA22.

